

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-067652
 (43)Date of publication of application : 07.03.1990

(51)Int.CI. G06F 12/00
 G06F 9/30
 G06F 13/42

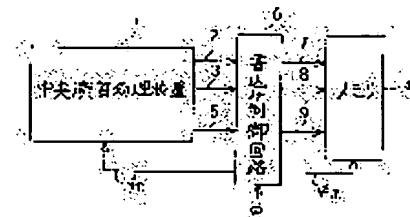
(21)Application number : 63-221120 (71)Applicant : MITSUBISHI ELECTRIC CORP
 (22)Date of filing : 01.09.1988 (72)Inventor : WAKIMOTO AKIHIKO

(54) MICROCOMPUTER

(57)Abstract:

PURPOSE: To increase an arithmetic processing speed by driving a central processing unit(CPU) at an individual speed independent of the operating speed of a memory.

CONSTITUTION: A clock signal ϕ_c having frequency higher than that of a clock signal ϕ_m to be applied to the memory 4 is supplied to the CPU 1. In this case, the frequency of the signal ϕ_m is set up to a value matched with the operating speed of the memory 4 and the frequency of the signal ϕ_c is set up to a value matched with the processing speed of the CPU 1. When it is necessary to write data in the memory 4, the CPU 1 applies an address signal and a data signal to a write control circuit 6 at a speed corresponding to the signal ϕ_c . Data writing is executed by the circuit 6 at a speed corresponding to the signal ϕ_m . Thereby, the CPU 1 can execute the succeeding processing in a time band coincident with a difference between the signals ϕ_c and ϕ_m and can execute the processing at an individual speed independent of the operating speed of the memory 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報 (A)

平2-67652

⑬ Int. Cl. 5

G 06 F 12/00
9/30
13/42

識別記号

303 P 8841-5B
330 A 7361-5B
350 Z 8840-5B

庁内整理番号

⑬ 公開 平成2年(1990)3月7日

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 マイクロコンピュータ

⑮ 特願 昭63-221120

⑯ 出願 昭63(1988)9月1日

⑰ 発明者 脇 本 昭彦 兵庫県伊丹市瑞原4丁目1番地 三菱電気株式会社北伊丹
製作所内

⑱ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲ 代理人 弁理士 大岩 増雄 外2名

明細書

1. 発明の名称

マイクロコンピュータ

2. 特許請求の範囲

処理前と処理後のデータが格納されるメモリがアドレスバスとデータバスに接続される中央演算処理装置を備えたマイクロコンピュータにおいて、前記メモリの動作速度を規定する第1のクロック信号を発生して前記メモリに供給すると共に、該第1のクロック信号より周波数が高く、前記中央演算処理装置の処理速度を規定する第2のクロック信号を発生して前記中央演算処理装置に供給し、さらに前記中央演算処理装置との間では前記第2のクロック信号の周期でアドレス信号とデータ信号を送受し、前記メモリとの間では前記第1のクロック信号の周期でアドレス信号とデータ信号を送受する読み書き制御手段を設け、前記中央演算処理装置を前記メモリの動作速度に依存しない独自の速度で動作可能に構成して成るマイクロコンピュータ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はマイクロコンピュータに関するものである。

(従来の技術)

第3図は、従来のマイクロコンピュータの中央演算処理装置と処理前および処理後のデータを格納しておくためのメモリとの関係を示すブロック図であり、中央演算処理装置1にはアドレスバス2とデータバス3を通じてメモリ4が接続されている。また、中央演算処理装置1とメモリ4にはこれらの動作速度を規定する所定周波数のクロック信号が入力されている。さらに、メモリ4にはデータ信号を書き込む時の指示信号である書き込み制御信号5が中央演算処理装置1から入力されている。

第4図はこの構成における動作を説明するためのタイムチャートであり、まず、中央演算処理装置1とメモリ4には第4図(a)のようなクロック信号が入力されている。このクロック信号が

は中央演算処理装置1とメモリ4のうち動作速度の遅い方のメモリ4の動作速度に対応させてその周波数が設定されている。この状態において、メモリ4に対して処理後のデータを書き込む必要が生じた場合、中央演算処理装置1は第4図(b)に示すように、クロック信号 ϕ_0 の立ち上がりから次の立ち上がりまでの時間 t_1 の間、アドレスバス2からアドレス信号Aを出力し、また第4図(c)に示すように時間 t_1 のうちクロック信号 ϕ_0 の“L”レベルの期間 t_{1L} でデータ信号Dをデータバス3から出力する。また、第4図には示していないが t_{1L} の途中で書き込み制御信号5を出力する。これによって、メモリ4には、アドレス信号Aで指定されたアドレスにデータ信号Dが書き込まれる。これは、メモリ4に格納されたデータ信号を読み出す時も同様である。但し、読み出し動作の時には書き込み制御信号5に代えて読み出し制御信号(図示せず)が中央演算処理装置1からメモリ4に与えられる。

(発明が解決しようとする課題)

従来のマイクロコンピュータは以上のように構

成されているが、中央演算処理装置1とメモリ4とで使用するクロック信号 ϕ_0 が同一であり、しかもその周波数はメモリ4の動作速度に対応させて設定されていた。このため、中央演算処理装置1の処理速度がメモリ4の動作速度によって制限されるものとなり、高速処理が困難になるという問題があった。

本発明は上記のような問題点を解決するためになされたもので、メモリの動作速度に依存されずに高速処理が可能なマイクロコンピュータを提供することを目的とするものである。

(課題を解決するための手段)

本発明によるマイクロコンピュータは、メモリ4の動作速度を規定する第1のクロック信号 ϕ_0 を発生して前記メモリ4に供給すると共に、該第1のクロック信号 ϕ_0 より周波数が高く、中央処理装置1の動作速度を規定する第2のクロック信号 ϕ_c を発生して前記中央演算処理装置1に供給し、さらに前記中央演算処理装置1との間では前記第2のクロック信号 ϕ_c の周期でアドレス信号

とデータ信号を送受し、前記メモリ4との間では前記第1のクロック信号 ϕ_0 の周期でアドレス信号とデータ信号を送受する読み書き制御手段(読み書き制御回路6)を設け、前記中央演算処理装置1を前記メモリ4の動作速度に依存しない独自の速度で動作可能に構成したものである。

(作用)

中央演算処理装置1にはメモリ4に対するクロック信号 ϕ_0 よりも周波数の高いクロック信号 ϕ_c が供給される。この場合、クロック信号 ϕ_0 はメモリ4の動作速度に見合った周波数に設定され、またクロック信号 ϕ_c は中央演算処理装置1の処理速度に見合った周波数に設定される。そこで、メモリ4に対してデータを書き込む必要が生じた場合には、中央演算処理装置1はクロック信号 ϕ_c に対応した速度でアドレス信号とデータ信号とを読み書き制御手段(読み書き制御回路6)に与え、この読み書き制御手段によってクロック信号 ϕ_0 に対応した速度でデータ信号の書き込みを実行させる。従って、中央演算処理装置1はクロック信号

ϕ_c と ϕ_0 との差の時間帯で次の処理を実行することが可能になり、メモリ4の動作速度に依存されずに独自の速度で処理を進めることができる。

(実施例)

第1図は本発明の一実施例を示すブロック図であり、第3図と同一部分は同一記号で示している。第1図において、従来と異なる点は、中央演算処理装置1とメモリ4との間に読み書き制御回路6を設けたことである。この読み書き制御回路6は中央演算処理装置1のアドレスバス2およびデータバス3に接続され、またメモリ4のアドレスバス7とデータバス8に接続されている。さらに、中央演算処理装置1からの書き込み制御信号5が入力されると共に、該信号5に対応した書き込み制御信号9をメモリ4に供給する。さらに、所定周波数のクロック信号 ϕ_c に基づきメモリ4の動作速度を規定する第1のクロック信号 ϕ_0 を生成すると共に、中央演算処理装置1の処理速度を規定する第2のクロック信号 ϕ_c を生成する。ここで、クロック信号 ϕ_c は中央演算処理装置1の最高処理速

度に対応した周波数に設定され、このクロック信号 ϕ_c として中央演算処理装置 1 にそのまま供給されている。また、クロック信号 ϕ_R については ϕ_c メモリ 4 の動作速度に対応させて分周することによって生成されている。

第 2 図は以上の構成における動作を説明するためのタイムチャートであり、まず中央演算処理装置 1 には読み書き制御回路 6 に入力されるクロック信号 ϕ_c (第 2 図 a) と同じ周波数のクロック信号 ϕ_c (第 2 図 b) が入力される。この状態でメモリ 4 に対してデータを書き込む必要が生じた場合、中央演算処理装置 1 は第 2 図 (c) に示すようにクロック信号 ϕ_c の立上がりから次の立上がりまでの時間の間、アドレスバス 2 からアドレス信号 A_{CPU} を送出する。また、第 2 図 (d) に示すように ϕ_c の立下がりから次の周期の立下がりまでの時間の間、データバス 3 からデータ信号 D_{CPU} を送出する。また、第 2 図に示していないが、データ信号 D_{CPU} の送出時間の途中で書き制御信号 5 を送出する。

してくれるため、時間 t_2 の後半部分の時間 t_3 では次の新しい処理を実行することが可能になる。すなわち、メモリ 4 におけるデータの書き込みが終了するのを持つことなく次の新しい処理に移ることができる。

従って、本実施例によれば、中央演算処理装置 1 の処理速度を従来構成の 2 倍に向上させることができになる。換言すれば、中央演算処理装置 1 の処理速度は従来と同じに設定したとしても、メモリ 4 としては従来の 1/2 の速度の低速のメモリを使用することが可能になり、中央演算処理装置 1 とメモリ 4 の動作速度の組合せを任意に選定できるということになる。

なお、クロック信号 ϕ_c と ϕ_R は読み書き制御回路 6 の内部で生成しているが、この回路 6 とは独立した回路で生成するようにしてもよい。また、 ϕ_c と ϕ_R の周波数関係は 2 対 1 としているが、中央演算処理装置 1 とメモリ 4 の動作速度に応じて任意の周波数関係にすることができる。また、データ信号の書き込み動作についてのみ説明したが、

読み書き制御回路 6 はこのようにしてクロック信号 ϕ_c の速度でアドレス信号 A_{CPU} とデータ信号 D_{CPU} および書き制御信号 5 が入力されたならば、これらの各信号を第 2 図 (e), (f) に示すようにクロック信号 ϕ_R に対応した周期のアドレス信号 A_{mem} およびデータ信号 D_{mem} に変換し、メモリ 4 に入力する。なお、書き制御信号 9 については第 2 図では省略している。

すると、メモリ 4 には第 2 図 (g) に示すようにクロック信号 ϕ_c の例えは 1/2 の周波数のクロック信号 ϕ_R が読み書き制御回路 6 から入力されているため、このクロック信号 ϕ_R の “L” レベル期間 t_3 の間でアドレス信号 A_{mem} で指定されたアドレスにデータ信号 D_{mem} が書き込まれる。

従って、メモリ 4 ではクロック信号 ϕ_c の 2 周期の時間 t_2 を費してデータ信号 D_{mem} の書き込みが終了することになる。この時、中央演算処理装置 1 はアドレス信号 A_{CPU} とデータ信号 D_{CPU} を送出した後は、読み書き制御回路 6 がこれらの信号を 2 倍の周期の信号に変換してメモリ 4 に送出

読み出し動作についても同様に行うことが可能である。

(発明の効果)

以上説明したように本発明によれば、中央演算処理装置とメモリで使用するクロック信号を分離し、それぞれの動作速度に見合った周波数に設定できるように構成したため、中央演算処理装置はメモリの動作速度に依存されることなく独自の速度で処理を実行することが可能になり、高速処理化を図ることができる。また、メモリとして低速で安価なものを組合せて使用することもできるため、高速処理性と共にコストの低下を同時に実現できるという効果がある。

4. 図面の簡単な説明

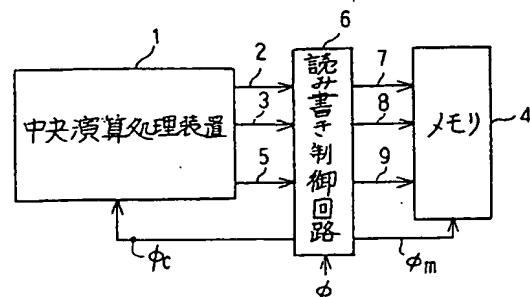
第 1 図は本発明の一実施例を示すブロック図、第 2 図は第 1 図の実施例の動作を説明するためのタイムチャート、第 3 図は従来のマイクロコンピュータの構成を示すブロック図、第 4 図は第 3 図の構成の動作を説明するためのタイムチャートである。

1 … 中央演算処理装置、2, 7 … アドレスバス
 3, 8 … データバス、4 … メモリ、5, 9 … 書込み制御信号、6 … 読み書き制御回路、
 ϕ … クロック信号、 ϕ_c … 第1のクロック信号、 ϕ_m … 第2のクロック信号。

なお、図中、同一符号は同一または相当部分を示す。

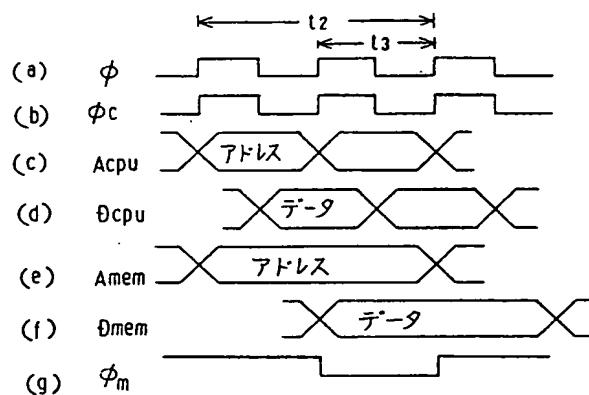
代理人 大岩 増雄 (ほか2名)

第1図

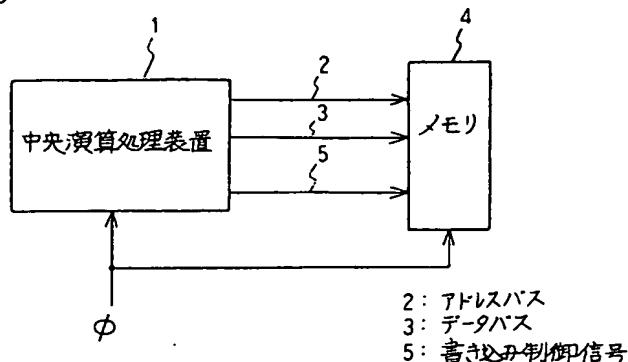


2,7: アドレスバス
 3,8: データバス
 5,9: 書き込み制御信号

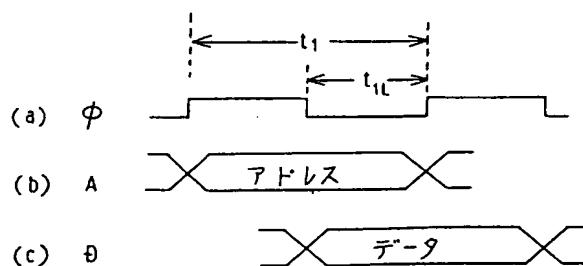
第2図



第3図



第4図



手 続 極 正 書 (自発)
11 29
承 11 月 日

特許庁長官殿



1. 事件の表示 特願昭 63-221120号

2. 発明の名称 マイクロコンピュータ

3. 極正をする者
事件との関係 特許出願人
住所 東京都千代田区丸の内二丁目2番3号
名称 (601)三菱電機株式会社
代表者 志岐守哉

4. 代理人
住所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏名 (7375)弁理士 大岩増雄
(連絡先03(213)3421特許部)

5. 極正の対象

特許請求の範囲、発明の詳細な説明、図面の簡単な説明、図面の欄。

6. 極正の内容

- (1)特許請求の範囲を別紙のとおり補正する。
- (2)明細書第2頁第6行目「従来のマイクロ」とあるのを「従来のマイクロ」と補正する。
- (3)同書第3頁第12行目「 t_{1L} の途中で」とあるのを「 t_1 の途中で」と補正する。
- (4)同書第3頁第14行目乃至第18行目「これは、メモリ……に与えられる。」とあるのを削除する。
- (5)同書第4頁第16行目乃至第17行目「中央処理装置」とあるのを「中央演算処理装置」と補正する。
- (6)同書第5頁第3行目乃至第4行目、第17行目「読み書き制御手段(読み書き制御回路6)」とあるのを「書き込み制御手段(書き込み制御回路6)」と補正する。
- (7)同書第5頁第18行目「読み書き制御手段」

方 式 審 査 閣



とあるのを「書き込み制御手段」と補正する。

(8) 同書第6頁第8行目と第9行目、第7頁第8行目、第8頁第1行目と第11行目及び第19行目、第9頁第14行目乃至第15行目、第11頁第3行目「読み書き制御回路」とあるのを「書き込み制御回路」と補正する。

(9) 同書第7頁第18行目乃至第19行目「データ信号 D_{cpu} の送出時間の途中で」とあるのを「アドレス信号 A_{cpu} を送出している時間の間に」と補正する。

(10) 同書第9頁第19行目乃至第10頁第2行目行目「また、データ信号の……可能である。」とあるのを削除する。

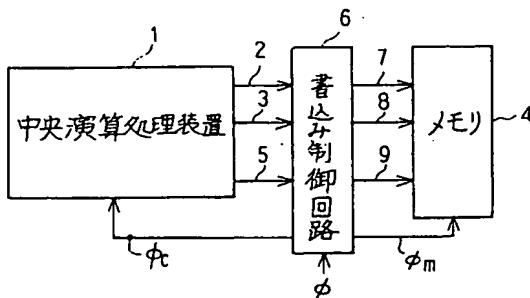
(11) 図面、第1図を別紙のとおり補正する。

以上

2. 特許請求の範囲

処理前と処理後のデータが格納されるメモリがアドレスバスとデータバスに接続される中央演算処理装置を備えたマイクロコンピュータにおいて、前記メモリの動作速度を規定する第1のクロック信号を発生して前記メモリに供給すると共に、該第1のクロック信号より周波数が高く、前記中央演算処理装置の処理速度を規定する第2のクロック信号を発生して前記中央演算処理装置に供給し、さらに前記中央演算処理装置との間では前記第2のクロック信号の周期でアドレス信号とデータ信号を送受し、前記メモリとの間では前記第1のクロック信号の周期でアドレス信号とデータ信号を送受する書き込み制御手段を設け、前記中央演算処理装置を前記メモリの動作速度に依存しない独自の速度で動作可能に構成して成るマイクロコンピュータ。

第1図



2,7: アドレスバス

3,8: データバス

5,9: 書込み制御信号